

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-230765**

(43)Date of publication of application : **24.08.2001**

(51)Int.Cl.

**H04L 7/02**

**H03L 7/06**

(21)Application number : **2000-040108**

(71)Applicant : **FUJIKURA LTD**

(22)Date of filing : **17.02.2000**

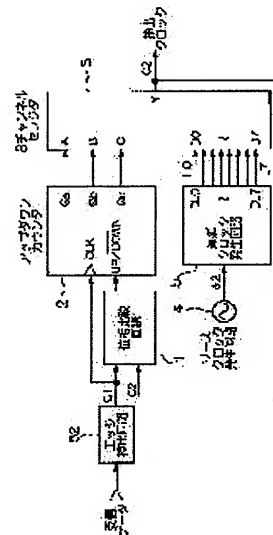
(72)Inventor : **NIKAIDO SHINICHI  
TOKURA TAKESHI**

### (54) CLOCK SIGNAL EXTRACTION CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a clock signal extraction circuit which can stably conduct phase correction without using a high speed device with less clock distortion.

**SOLUTION:** When received data whose phase is delayed compared to an extraction clock C2 is inputted in a state where a 1/8 delay clock signal is selected and outputted as an extracted clock C2, an up/down counter 2 up-counts the output of an edge detection circuit 52. An eight channel selector 3 selects and outputs a 2/8 delay clock signal L2 delayed by 1/8 of a clock period. When the phase of next received data is also delayed, up-counting is conducted again, and the eight channel selector 3 selects and outputs a 3/8 delay clock signal L3 delayed by 1/8 of the clock period. The phase is similarly corrected afterward and received data and the extracted clock become ideal in phase.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-230765

(P2001-230765A)

(43) 公開日 平成13年 8 月24日 (2001. 8. 24)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 4 L 7/02		H 0 4 L 7/02	Z 5 J 1 0 6
H 0 3 L 7/06		H 0 3 L 7/06	J 5 K 0 4 7

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2000-40108(P2000-40108)

(22) 出願日 平成12年 2 月17日 (2000. 2. 17)

(71) 出願人 000005186

株式会社フジクラ

東京都江東区木場 1 丁目 5 番 1 号

(72) 発明者 二階堂 伸一

千葉県佐倉市六崎1440番地 株式会社フジクラ佐倉事業所内

(72) 発明者 戸倉 武

千葉県佐倉市六崎1440番地 株式会社フジクラ佐倉事業所内

(74) 代理人 100064908

弁理士 志賀 正武 (外 3 名)

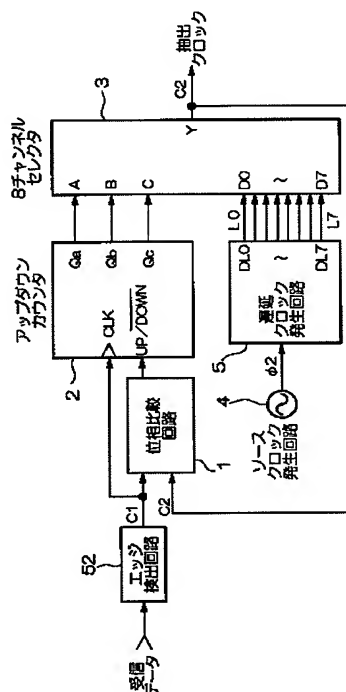
最終頁に続く

(54) 【発明の名称】 クロック信号抽出回路

(57) 【要約】

【課題】 高速のデバイスを使用することなく、しかも少ないクロック歪みで安定に位相補正動作を行うことができる、クロック信号抽出回路を提供する。

【解決手段】 今、1/8遅延クロック信号L1が抽出クロックC2として選択出力された状態で、抽出クロックC2より位相の遅れた受信データが入力されると、エッジ検出回路52の出力によりアップダウンカウンタ2がアップカウントされ、8チャンネルセレクタ3は、クロック周期の1/8だけ遅延した2/8遅延クロック信号L2を選択出力する。次の受信データの位相がまだ遅れていた場合、再度アップカウントが行われ、8チャンネルセレクタ3は、更にクロック周期の1/8だけ遅延した3/8遅延クロック信号L3を選択出力する。以降、同様に位相補正が行われ、受信データと抽出クロックは理想的な位相状態となる。



## 【特許請求の範囲】

【請求項1】 所定の伝送速度で入力される受信データの信号波形のエッジを検出するエッジ検出手段と、前記所定の伝送速度と等しい周波数のソースクロックを発生するソースクロック発生手段とを具備することにより、前記受信データからクロック信号を抽出するクロック信号抽出回路であって、

前記エッジ検出手段の出力と前記抽出クロック信号との位相比較を行い、位相の進み、遅れに対応した信号を発生する位相比較手段と、

前記位相比較手段の出力で計数方向が制御され、かつ前記エッジ検出手段の出力の計数を行う計数手段と、

前記ソースクロックを受信して、該ソースクロックに対する各々の位相遅延時間を有する複数のクロックを発生する遅延クロック発生手段と、

前記遅延クロック発生手段の発生する複数のクロックの1つを、前記計数手段の出力により選択して、前記抽出クロック信号として出力端子から出力する選択手段と、を具備することを特徴とするクロック信号抽出回路。

【請求項2】 所定の伝送速度で入力される受信データの信号波形のエッジを検出するエッジ検出手段と、前記所定の伝送速度と等しい周波数のソースクロックを発生するソースクロック発生手段とを具備することにより、前記受信データからクロック信号を抽出するクロック信号抽出回路であって、

前記エッジ検出手段の出力と前記抽出クロック信号との位相比較を行い、位相の進み、遅れに対応した第1の出力信号と、比較した位相が同相であったことを示す第2の出力信号を発生する位相比較手段と、

前記位相比較手段の第1の出力信号で計数方向が制御され、第2の出力信号で計数動作が制御され、かつ前記エッジ検出手段の出力の計数を行う計数手段と、

前記ソースクロックを受信して、該ソースクロックに対する各々の位相遅延時間を有する複数のクロックを発生する遅延クロック発生手段と、

前記遅延クロック発生手段の発生する複数のクロックの1つを、前記計数手段の出力により選択して、前記抽出クロック信号として出力端子から出力する選択手段と、を具備することを特徴とするクロック信号抽出回路。

【請求項3】 前記遅延クロック発生手段は、複数の同一の遅延回路を直列に接続して構成されていることを特徴とする請求項1または請求項2に記載のクロック信号抽出回路。

【請求項4】 前記遅延クロック発生手段において、直列に接続される前記遅延回路の遅延時間を、遅延時間＝ $1 / \{\text{伝送速度} \times \text{遅延回路数}\}$ とすることを特徴とする請求項3に記載のクロック信号抽出回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、デジタル通信の

分野において、受信データ信号からクロック信号を抽出するクロック信号抽出回路に関する。

## 【0002】

【従来の技術】ディジタルデータを送受信する場合には、データそのものを相手に送出するだけでなく、何らかの形でデータ信号に同期したクロックを相手に送出し、受信側ではそのクロックに位相同期したクロックを用いて受信データを取り出す必要がある。従来からこれを実現するための方法として、送信側では符号化する際に情報データにクロック成分を重畳させ送信データとし、受信側では受信データからその重畳されたクロック成分を抽出する、クロック信号抽出回路が用いられている。

【0003】図5に従来例のクロックの抽出回路の一例を示す。ここでは説明を簡易化するために、

1) クロック情報の重畳は送信データの信号波形の立ち上がりでクロック信号が一致するように符号化することで行う。(受信信号波形の立ち上がりがデータの区切りとする。)

2) ソースクロック周波数は送信データの伝送速度の8倍とする。(抽出クロックの分解能は送信データの最小ビットの $1/8$ とする。)として説明する。

【0004】図5において、50はソースクロック $\phi$ を発生するソースクロック発生回路であり、伝送速度の8倍の周波数のソースクロック $\phi$ を発生する。51はクロック周波数の倍率「8」に合わせて計数値「0」～

「7」の8状態をカウントする3ビットバイナリカウンタであり、入力されたソースクロック $\phi$ の8分周の信号を抽出クロック $\phi_1$ として出力する。52はエッジ検出回路であり、受信データの信号波形の立ち上がりエッジを検出し、立ち上がりエッジ毎にそれを示すパルスPEを出力する。エッジ検出回路52の出力パルスPEは、カウンタ51のクリア端子CLRに供給されており、このパルスPEによってカウンタ51がリセットされる。

【0005】また図6には(1)受信データの信号波形と(2)その区切り、(3)理想的な抽出クロックの位相の関係を示し、更に図7には図5に示すクロック信号抽出回路の動作を説明するためのタイミングチャートを示す。いま、伝送速度の8倍の周波数のソースクロック $\phi$ を図7(1)に示す。また受信データを同図(2)に示し、かつデータの区切りを同図(3)として示すと、エッジ検出回路52の出力パルスPEは同図(4)となる。またカウンタ51の出力の内の2分周出力を同図(5)に、4分周出力を同図(6)に、8分周出力を同図(7)に示す。この8分周出力が抽出クロック $\phi_1$ となる。

【0006】次に、これらの図を用いて従来例の動作を説明すると、図5において、ソースクロック発生回路50で生成された、伝送速度の8倍の周波数のソースクロック $\phi$ は、カウンタ51で8分周され、抽出クロック $\phi_1$

1として出力される。エッジ検出回路52は、受信データの信号波形の立ち上がりエッジ（データの区切り位置）を検出し、この信号によりカウンタ51をクリアする。これにより、受信データの信号波形の立ち上がりエッジ毎にカウンタ51がクリアされることになり、受信データの立ち上がり毎にカウンタ51の出力である抽出クロック $\phi$ 1が立ち下がることになって、両者が同期することになる。

【0007】これをタイミングチャートによって説明すると、まず、理想的な受信データと抽出クロックの関係は図6に示すように、同図（3）の抽出クロックの立ち上がりエッジが同図（1）の受信データの中心に位置する。言い換えると、理想的な受信データと抽出クロックの関係は、同図（3）の抽出クロックの立ち下がりエッジが同図（2）のデータの区切りと一致することである。それに対して、図7の時刻 $t_1$ においては、同図（7）の抽出クロック $\phi$ 1の立ち下がりエッジは同図（3）の受信データの区切りからずれて時刻 $t_2$ に位置している。しかし次の受信データの立ち上がりエッジである時刻 $t_3$ では、同図（4）のエッジ検出回路52の出力パルスPEによりカウンタがクリアされることで、クロックの位相が補正される。以降同図（3）の受信データの区切りと同図（7）の抽出クロック $\phi$ 1の立ち下がりエッジは一致する。すなわち、同図（2）の受信データと同図（7）の抽出クロック $\phi$ 1が同期する。

【0008】以上の構成において、より高い分解能を要する場合にはソースクロック $\phi$ の倍率を上げて、カウンタの分周をそれに合わせて上げれば良い。

【0009】

【発明が解決しようとする課題】ところで、上述した従来のクロック信号抽出回路では、回路を構成する際に抽出クロック $\phi$ 1の分解能に合わせた、伝送速度の整数倍の周波数のソースクロック $\phi$ を用いる必要がある。しかし伝送速度が日に日に高速化される近年では、伝送速度の数倍以上に高速で動作するデバイスは、特別なものを用いなければならないという欠点があった。例えば、伝送速度が32Mbpsの場合、分解能を8倍とすれば、必要なソースクロック $\phi$ の周波数は256MHzとなり、汎用のCMOSロジックICの性能では回路を構成することができない。また、従来例では位相の補正が行われる際に、少なくともクロックの分解能幅相当のクロック歪みが発生する可能性がある。しかし、この歪みを小さくするにはソースクロック $\phi$ の倍率を上げる必要があり、更に高速のデバイスが必要になるという問題があった。

【0010】更に従来例の位相補正動作は、1回のカウンタのリセット動作で大きくずれた位相誤差を理想的な位相まで回復する場合には、その位相の補正量は最大で受信データ幅に相当し、大きなクロック歪みが発生するという欠点があった。

【0011】また、従来例のクロック信号抽出回路は、デジタルPLL（Phase Lock Loop）回路を、クロック信号抽出回路の出力に接続して使用することが多い。この場合、PLL回路は、クロック信号抽出回路で受信データより抽出したクロックに位相を合わせるように動作する。よってクロック信号抽出の時点で発生した歪みは、その後のPLL回路で除去することはできず、内部回路に渡されるクロックはその歪みの影響を受けてしまうという欠点があった。

【0012】この発明は、上記の点に鑑みてなされたものであり、その目的は伝送速度と等しい周波数のソースクロックで動作することにより、ロジック回路を構成するデバイスにおける、動作速度に対する負荷を軽減し、かつクロック信号抽出時のクロック歪みの発生を最小限に押さえて、安定に位相補正動作を行うことができる、クロック信号抽出回路を提供することにある。

【0013】

【課題を解決するための手段】上記の課題を解決するために、請求項1に記載の発明は、所定の伝送速度で入力される受信データの信号波形のエッジを検出するエッジ検出手段と、所定の伝送速度と等しい周波数のソースクロックを発生するソースクロック発生手段とを具備することにより、受信データからクロック信号を抽出するクロック信号抽出回路であって、エッジ検出手段の出力と抽出クロック信号との位相比較を行い、位相の進み、遅れに対応した信号を発生する位相比較手段と、位相比較手段の出力で計数方向が制御され、かつエッジ検出手段の出力の計数を行う計数手段と、ソースクロックを受信して、該ソースクロックに対する各々の位相遅延時間を有する複数のクロックを発生する遅延クロック発生手段と、遅延クロック発生手段の発生する複数のクロックの1つを、計数手段の出力により選択して、抽出クロック信号として出力端子から出力する選択手段とを具備することを特徴とする。

【0014】請求項2に記載の発明は、所定の伝送速度で入力される受信データの信号波形のエッジを検出するエッジ検出手段と、所定の伝送速度と等しい周波数のソースクロックを発生するソースクロック発生手段とを具備することにより、受信データからクロック信号を抽出するクロック信号抽出回路であって、エッジ検出手段の出力と抽出クロック信号との位相比較を行い、位相の進み、遅れに対応した第1の出力信号と、比較した位相が同相であったことを示す第2の出力信号を発生する位相比較手段と、位相比較手段の第1の出力信号で計数方向が制御され、第2の出力信号で計数動作が制御され、かつエッジ検出手段の出力の計数を行う計数手段と、ソースクロックを受信して、該ソースクロックに対する各々の位相遅延時間を有する複数のクロックを発生する遅延クロック発生手段と、遅延クロック発生手段の発生する複数のクロックの1つを、計数手段の出力により選択し

て、抽出クロック信号として出力端子から出力する選択手段とを具備することを特徴とする。

【0015】請求項3に記載の発明は、請求項1または請求項2に記載の発明において、遅延クロック発生手段は、複数の同一の遅延回路を直列に接続して構成されていることを特徴とする。

【0016】請求項4に記載の発明は、請求項3に記載の発明の遅延クロック発生手段において、直列に接続される遅延回路の遅延時間を、遅延時間＝ $1 / \{\text{伝送速度} \times \text{遅延回路数}\}$ とすることを特徴とする請求項3に記載のクロック信号抽出回路。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1は、本発明のクロック信号抽出回路の第1の実施の形態を示すブロック図であり、図2は、図1に示す遅延クロック発生回路5の詳細を示すブロック図である。なお、本説明においても従来例と同様、説明の簡易化のため、クロック情報の重畳は送信データの信号波形の立ち上がりがクロック信号と位相が一致するように符号化することにより行う。また、抽出クロックの分解能は、送信データの最小ビットの $1/8$ とする。

【0018】図1において、52はエッジ検出回路であり、受信データの信号波形の立ち下りのエッジを検出してパルスC1を出力する。1は位相比較回路であり、エッジ検出回路52の出力C1と本回路の最終的な出力である抽出クロックC2との位相比較を行う。位相比較回路1は、エッジ検出回路52の出力パルスC1の位相が抽出クロックC2の位相より遅い場合は“H”（ハイ）を出力し、エッジ検出回路52の出力C1の位相が抽出クロックC2の位相より早い場合、もしくは同相の場合は“L”（ロー）を出力する。エッジ検出回路52は位相の遅い、早い判定を、例えば出力パルスC1の立ち上がり、抽出クロックC2の繰り返しパルスの中の隣接する2つのパルスの立ち上がりのどちらに近いかで行う。

【0019】アップダウンカウンタ2は $1/8$ の分解能に合わせて、計数値「0」～「7」の8状態をカウントする3ビットのアップダウンカウンタである。アップダウンカウンタ2は、エッジ検出回路52の出力パルスC1をクロック入力とし、位相比較回路1の出力をUP/DOWN信号入力として直前の状態から再カウントして「0」～「7」の計数値を端子Qa、Qb、Qcからバイナリで出力する。すなわち、位相比較回路1の出力が“H”（ハイ）の時は直前の計数値をアップカウントし、また“L”（ロー）の時はダウンカウントする。

【0020】3は8チャンネルセレクタであり、コントロール入力端子A、B、Cにアップダウンカウンタ2の出力端子Qa、Qb、Qcが接続されている。この8チャンネルセレクタ3はアップダウンカウンタ2からの

「0」～「7」の計数値の入力A、B、Cに応じて、データ端子D0～D7中の一つを選択し、そのデータ出力端子Yから出力する。例えば[A、B、C]が[0、0、0]であれば計数値「0」であるのでD0を、[1、1、1]であれば計数値が「7」であるのでD7を出力する。

【0021】一方、4はソースクロック発生回路であり、送信データの伝送速度と等しい繰り返し周波数のソースクロックφ2を発生する。

【0022】5は遅延クロック発生回路であり、ソースクロックφ2を、 $1/8$ の分解能に合わせ、順次クロック周期の $1/8$ ずつ時間遅延させた信号L0～L7を生成し、8チャンネルセレクタ3のデータ入力ラインD0～D7へ出力する。

【0023】更に遅延クロック発生回路5を図2を用いて詳細に説明すると、20～26は同一の遅延回路であり、入力された信号を所定の時間だけ遅延させて出力する。遅延クロック発生回路5は、この遅延回路20～26を直列に接続して構成されている。各遅延回路20～26の遅延時間は、 $1/8$ の分解能に合わせクロック周期の $1/8$ とする。式で表すと、

遅延時間＝ $1 / \{\text{伝送速度} \times 8 \text{ (遅延回路数)}\}$

となる。そして、各遅延回路20～26の出力が各々端子DL1～DL7へ供給され、ソースクロックφ2がそのまま端子DLOへ供給される。

【0024】また、図3に本発明のクロック信号抽出回路の動作を説明するためのタイミングチャートを示す。

【0025】次に、これらを用いて本発明の実施の形態の動作を説明する。図3において、時刻t1以前の状態は、送信データを受信開始した直後のクロック同期がずれている状態、もしくは受信データの乱れ等により同期がずれた状態を示す。ここで、同図(17)の抽出クロックC2は同図(6)の $1/8$ 遅延クロック信号L1が選択出力された状態にあるとして、同図(13)に示す。位相比較回路1の出力は、“H”（ハイ）を示している。また、同図(14)、(15)、(16)に示す、8チャンネルセレクタ3の入力端子[A、B、C]へはアップダウンカウンタ2の計数値「1」、即ち[0、0、1]が印加されて、 $1/8$ 遅延クロック信号L1が選択出力された状態である。

【0026】次に、同図(2)の受信データの立ち上がりである時刻t2において、エッジ検出回路52より同図(4)に示すエッジ検出回路出力C1が位相比較回路1に出力されて、同図(17)に示す抽出クロックC2との位相が比較される。位相比較結果は、エッジ検出回路出力C1の位相が抽出クロックC2の位相より遅いので、同図(13)に示す位相比較回路1の出力に“H”（ハイ）が出力される。これによりアップダウンカウンタ2では、計数方向がアップカウントに指定されるので、アップダウンカウンタ2は、同図(4)に示すエッ

ジ検出回路出力C1によるクロック入力の時刻 $t_2$ より、直前の計数値「1」からアップカウントされて、同図(14)、(15)、(16)の、8チャンネルセクタ3の入力端子A、B、Cへ計数値「2」を印加する。よって、8チャンネルセクタ3からは、同図(17)の抽出クロックC2に、 $2/8$ 遅延クロック信号L2が選択出力されて抽出クロックC2は、それまでよりクロック周期の $1/8$ だけ遅延する。

【0027】次に、同図(2)の受信データの次の立ち上がりである時刻 $t_3$ において、再度、同図(4)に示すエッジ検出回路出力C1と同図(17)に示す抽出クロックC2との位相が比較される。位相比較結果は、まだエッジ検出回路出力C1の位相が抽出クロックC2の位相より遅いので、同図(13)に示す位相比較回路1の出力に“H”（ハイ）が出力される。これによりアップダウンカウンタ2では、計数方向がアップカウントに指定される。同時にアップダウンカウンタ2は、同図(4)に示すエッジ検出回路出力C1によりアップカウントされ、同図(14)、(15)、(16)の、8チャンネルセクタ3の入力端子A、B、Cへは計数値「3」が印加される。よって、同図(17)の抽出クロックC2には、同図(8)の $3/8$ 遅延クロック信号L3が選択出力されて、抽出クロックC2は更にクロック周期の $1/8$ だけ遅延し、同図(2)の受信データと同図(17)の抽出クロックC2は時刻 $t_4$ 以降に示すように、以前の状態よりクロック周期の $1/8$ だけ位相のずれが減少している。このようにして、受信データの立ち上がりのある都度、上記の操作が行われて、これが数回繰り返された後は、両者の位相がほぼ一致した理想的な同期状態となる。

【0028】以上は受信データの位相が抽出クロックC2の位相より遅かった場合を説明したが、受信データの位相が抽出クロックC2の位相より早かった場合、図1において位相比較回路1は“L”（ロー）を出力し、アップダウンカウンタ2をダウンカウントモードに指定する。よって8チャンネルセクタ3において、抽出クロックC2に、例えば $1/8$ 遅延信号L1が選択出力された状態にある場合は、ダウンカウントによりアップダウンカウンタ2の計数値が「1」から「0」となり、抽出クロックC2に遅延0のクロック信号L0が選択出力され、抽出クロックC2の位相は、それまでよりクロック周期の $1/8$ だけ進むこととなる。

【0029】また、上記の構成で $7/8$ 遅延クロック信号L7が選択出力された状態から計数がアップカウントし、遅延0のクロック信号L0が選択出力された場合も、その位相の変化幅はクロック周期の $1/8$ 遅れとなる。逆に遅延0のクロック信号を選択出力した状態から、 $7/8$ 遅延クロック信号L7が選択出力された場合も同様に、位相の変化幅はクロック周期の $1/8$ 進みとなる。

【0030】このようにして、エッジ検出回路52の出力C1と抽出クロックC2との位相比較が逐次行われ、受信データの立ち上がりエッジ毎に、位相の進み、遅れに合わせてクロック周期の $1/8$ ずつの位相補正が行われるので、何回か繰り返された後は理想的な同期状態となる。

【0031】次に、この発明の第2の実施形態について説明する。図4は、本発明のクロック信号抽出回路の第2の実施の形態を示すブロック図であり、図1に示す第1の実施の形態とは位相比較回路31とアップダウンカウンタ32が違うのみで、他は図1と同一である。位相比較回路31は、エッジ検出回路52の出力C1と本回路の最終的な出力である抽出クロックC2との位相比較を行う。位相比較回路31は、エッジ検出回路52の出力パルスC1の位相が抽出クロックC2の位相より遅い場合は、出力端子OUT1から“H”（ハイ）を出力し、かつ出力端子OUT2から“L”（ロー）を出力する。また、エッジ検出回路52の出力C1の位相が抽出クロックC2の位相より早い場合は、出力端子OUT1から“L”（ロー）を出力し、かつ出力端子OUT2から“L”（ロー）を出力する。更に、エッジ検出回路52の出力C1の位相が抽出クロックC2の位相と同相の場合は、出力端子OUT2から“H”（ハイ）を出力する。

【0032】アップダウンカウンタ32は $1/8$ の分解能に合わせて、計数値「0」～「7」の8状態をカウントする。アップダウンカウンタ32は、エッジ検出回路52の出力パルスC1をクロック入力とし、位相比較回路31の出力端子OUT1からの信号をUP/DOWN信号入力として「0」～「7」の計数値を端子Qa、Qb、Qcから出力する。すなわち、位相比較回路31の出力端子OUT1が“H”（ハイ）の時はパルス信号C1をアップカウントし、また“L”（ロー）の時はダウンカウントする。更に、位相比較回路31の出力端子OUT2からの信号をENABLE信号入力として、その状態が“L”（ロー）の場合のみアップダウンのカウント動作を行い、“H”（ハイ）の場合はカウント動作を停止する。

【0033】上述の回路において、受信データの位相と抽出クロックの位相が同一の場合には、アップダウンカウンタ32のカウント動作が停止するため、8チャンネルセクタ3の入力端子A、B、Cへの入力値が変化しない。よって、現在出力されている遅延クロック信号が選択されたままの状態となり、位相補正動作は完了する。また、もし受信データの位相と抽出クロックの位相がズレた場合は、アップダウンカウンタ32のカウント動作が再開され、位相補正動作が行われる。

【0034】以上の第1と第2の実施の形態において、より高い分解能を要する場合は、遅延回路の数を増加して、カウンタの分周をそれに合わせて増加させれば良

い。

#### 【0035】

【発明の効果】以上の如く本発明によれば、伝送速度と同じ周波数のソースクロックから、その位相をずこしずつずらしたクロックを複数個用意し、これを受信データの位相に合うように選択出力した信号を抽出クロックとする構成にしたので、必要以上に高速なデバイスでロジック回路を構成する必要はなく、受信データの伝送速度と同じ周波数で動作するデバイスで回路を構成できる。そのため、逆に従来のもと同じ動作速度のデバイスでロジック回路を構成した場合、従来方式よりも速い伝送速度のクロック信号抽出が可能となる。また、高速なデバイスによるロジック回路を必要としないことは、安価なデバイスで回路を構成でき、更にゲートアレイ化する場合にもデバイスの選択肢が増えるという効果が得られる。

【0036】また、請求項2に記載の発明によれば、遅延クロック発生回路は、複数の同一の遅延回路を直列に接続する構成としたので、抽出クロックの分解能を高め、位相補正時に発生するクロック歪みの発生を抑えたい場合でも、遅延クロック発生回路内の各遅延回路の遅延時間と個数を調整することで対応できるため、回路が高速化してしまうことがなく、かつ簡易に回路が設計できるという効果が得られる。

【0037】更に、請求項4に記載の発明によれば、カウンタ出力が1カウントすると、現在選択出力されているクロックに対して、分解能だけずれたクロックを抽出クロックとして選択出力する構成としたので、一回の位相補正でずらすクロックの位相はクロックの分解能分のみで、位相補正時に一度に大きなクロック歪みが発生しないという効果が得られる。

【0038】請求項5に記載の発明によれば、受信した

データと抽出クロックの位相が同一であった場合に、カウンタの動作を停止して、現在出力されている遅延クロックの選択を維持する構成にしたので、受信したデータと抽出クロックの位相が同一であった場合に無駄な位相補正動作が発生せず、回路動作が安定するという効果が得られる。

#### 【図面の簡単な説明】

【図1】 本発明のクロック信号抽出回路の第1の実施の形態を示すブロック図である。

【図2】 図1の遅延クロック発生回路の詳細を示すブロック図である。

【図3】 図1に示すクロック信号抽出回路の動作を示すタイミングチャートである。

【図4】 本発明のクロック信号抽出回路の第2の実施の形態を示すブロック図である。

【図5】 従来例のクロック信号抽出回路の一例を示すブロック図である。

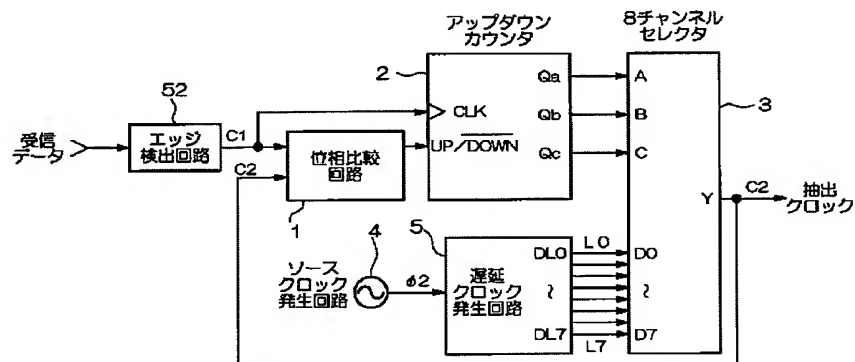
【図6】 理想的な抽出クロックと受信データの位相の関係を示すタイミングチャートである。

【図7】 従来例のクロック信号抽出回路の動作を示すタイミングチャートである。

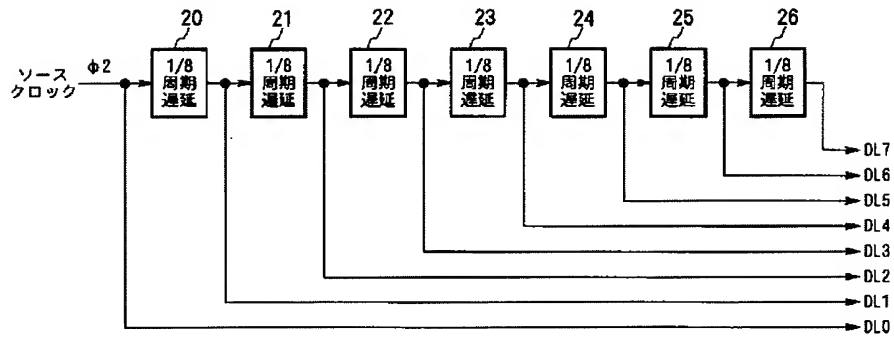
#### 【符号の説明】

- 1 位相比較回路
- 2 アップダウンカウンタ
- 3 8チャンネルセクタ
- 4 ソースクロック発生回路
- 5 遅延クロック発生回路
- 20～26 遅延回路
- 31 位相比較回路
- 32 アップダウンカウンタ
- 52 エッジ検出回路

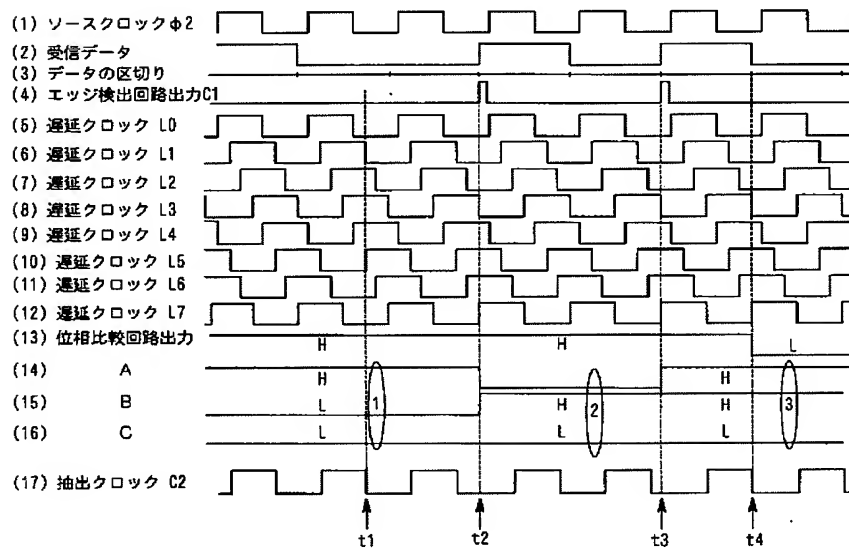
【図1】



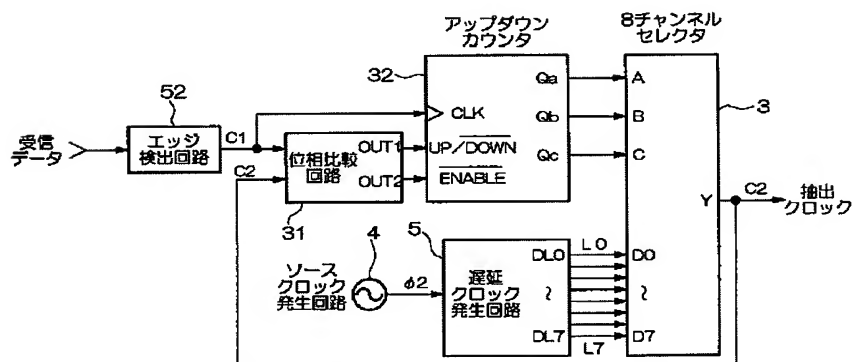
【図2】



【図3】

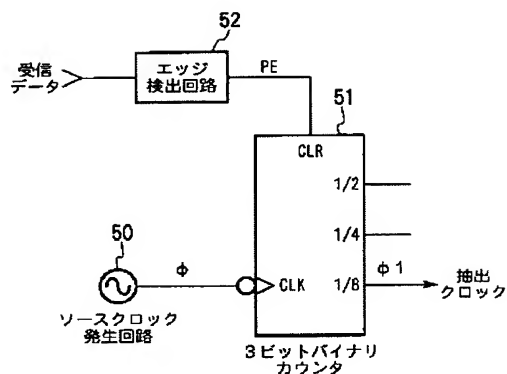


【図4】

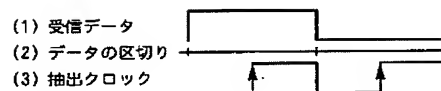




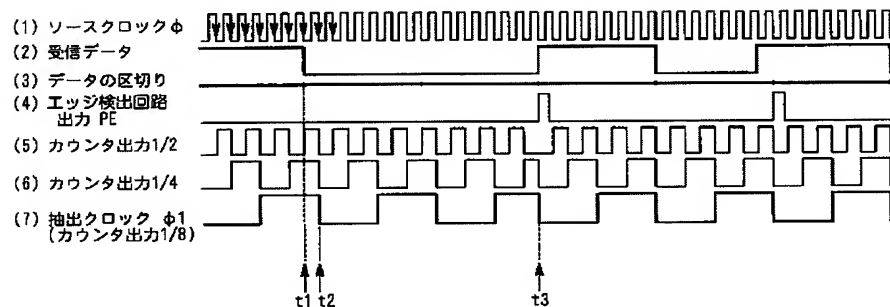
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5J106 AA05 CC03 CC21 CC58 DD09  
 DD19 DD26 FF02 GG14 HH02  
 KK12 KK26 KK37 KK39  
 5K047 AA03 GG08 GG24 GG29 MM36  
 MM49 MM56 MM63